

PRINTING APPARATUS

Patent Number: JP2001080124
Publication date: 2001-03-27
Inventor(s): YAMADA HIROICHI
Applicant(s): MINOLTA CO LTD
Requested Patent: ☐ JP2001080124
Application Number: JP19990258732 19990913
Priority Number(s):
IPC Classification: B41J2/525; B41J2/44; B41J2/45; B41J2/455; H04N1/04; H04N1/29
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To enable highly accurate correction processing by reduced memory capacity in the correction of the skew generated between printing heads in a printing apparatus for applying printing to one paper repeatedly by a plurality of printing heads.

SOLUTION: In a printing apparatus applying printing to one paper repeatedly by using a plurality of printing heads arranged in one row, a bit map memory 34 has an image data region storing image data to be printed and the predetermined blank regions provided in the leading end part and rear end part of the image data region. In order to correct the relative inclination between the printing heads, the reading address of image data is formed on the basis of correction data and the image data is read from the formed reading address to be outputted. By this constitution, in the correction of the skew generated between the printing heads, the image data on the bit map memory is outputted at a high speed while subjected to correction processing in a line unit.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-80124
(P2001-80124A)

(43)公開日 平成13年3月27日(2001.3.27)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)
B 4 1 J	2/525	B 4 1 J 3/00	B 2 C 1 6 2
	2/44	H 0 4 N 1/29	G 2 C 2 6 2
	2/45	B 4 1 J 3/00	M 2 C 3 6 2
	2/455	3/21	L 5 C 0 7 2
H 0 4 N	1/04	H 0 4 N 1/04	D 5 C 0 7 4

審査請求 未請求 請求項の数1 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願平11-258732

(22)出願日 平成11年9月13日(1999.9.13)

(71)出願人 000008079

ミノルタ株式会社

大阪府大阪市中央区安土町二丁目3番13号

大阪国際ビル

(72)発明者 山田 博一

大阪府大阪市中央区安土町二丁目3番13号

大阪国際ビル ミノルタ株式会社内

(74)代理人 100062144

弁理士 青山 葆 (外2名)

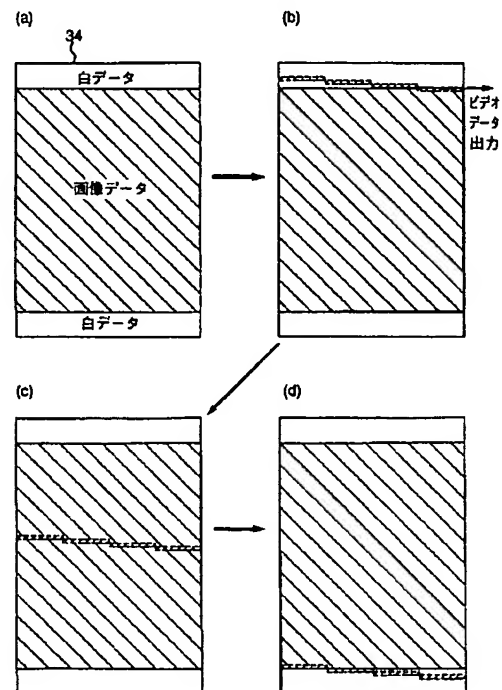
最終頁に続く

(54)【発明の名称】 印字装置

(57)【要約】

【課題】 複数のプリントヘッドを用いて1つの用紙上に重ねて印字を行なう印字装置において、プリントヘッドの間で発生するスキューの補正において、少ないメモリ容量で、しかも高精度の補正処理を可能にする。

【解決手段】 1列に配置された複数のプリントヘッドを用いて1つの用紙上に重ねて印字を行なう印字装置において、ビットマップメモリは、印字する画像データを記憶する画像データ領域と、画像データ領域の先端部と後端部に設けた所定の空白領域とを有する。プリントヘッドの間の相対的な傾きを補正するために、補正情報に基づいて画像データの読出アドレスを生成し、生成した読出アドレスから画像データを読み出して出力する。これにより、プリンタヘッドの間で発生するスキューの補正において、ビットマップメモリ上の画像データをライン単位で補正処理をしながら高速に出力する。



【特許請求の範囲】

【請求項1】 1列に配置された複数のプリントヘッドを用いて1つの用紙上に重ねて印字を行なう印字装置において、

印字する画像データを記憶する画像データ領域と、画像データ領域の先端部と後端部に設けた所定の空白領域とを有するビットマップメモリと、

プリントヘッドの間の相対的な傾きについての補正情報に基づいて画像データの読出アドレスを生成する読出アドレス生成部と、

生成した読出アドレスから画像データを読み出して出力する読出制御部とを備えることを特徴とする印字装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、タンデム型カラー印字装置に関する。

【0002】

【従来の技術】タンデム型カラープリンタなどのタンデム型の印字装置においては、イエロー（Y）、マゼンタ（M）、シアン（C）、ブラック（K）の4色の記録ユニットが1列に配置される。印字においては、記録ユニットにより生成されたC、M、Y、Kの複数のトナー像を重ね合わせて1枚の用紙に転写してカラー画像を形成する。この種の印字装置においては、カラー印字の品質を高めるには、転写される複数色のトナー像の位置ずれを低減する必要がある。位置ずれは、主走査方向の位置ずれ、副走査方向の位置ずれ、主走査方向のラインの傾きの3種類に分類される。主走査方向と副走査方向の位置ずれは、プリンタコントローラから印字データを出力するタイミングを制御することで、比較的容易に補正できる。しかし、傾きに対しては、画像データを傾き量に応じて補正することが必要になる。

【0003】

【発明が解決しようとする課題】タンデム型プリンタのプリントヘッドの間で発生するスキューの補正において、補正が必要となる最大の傾き量に相当するラインバッファをプリントヘッドの直前に配置し、そのラインバッファで傾き量に応じて画像データを補正すると、傾きを軽減できる。しかし、この方法では、補正のために高速動作が可能なメモリを大量に必要とするうえ、想定した最大の傾きを超える場合は補正ができなくなる。

【0004】本発明の目的は、タンデム型プリンタのプリンタヘッドの間で発生するスキューの補正において、少ないメモリで、しかも高精度の補正処理を可能にする印字装置を提供することである。

【0005】

【課題を解決するための手段】本発明に係る印字装置は、1列に配置された複数のプリントヘッドを用いて1つの用紙上に重ねて印字を行なう印字装置であって、印字する画像データを記憶する画像データ領域と、画像デ

ータ領域の先端部と後端部に設けた所定の空白領域とを有するビットマップメモリと、プリントヘッドの間の相対的な傾きについての補正情報に基づいて画像データの読出アドレスを生成する読出アドレス生成部と、生成した読出アドレスから画像データを読み出して出力する出力部とを備える。これにより、プリンタヘッドの間で発生するスキューの補正において、ビットマップメモリ上の画像データを補正処理しながら高速に出力する。また、ビットマップ上の画像データをライン単位の補正を行ないながら出力するので、最小で1ラインのバッファメモリで1ライン以下の単位の補正を行える。

【0006】

【発明の実施の形態】以下、添付の図面を参照して本発明の実施の形態を説明する。なお、図面において、同じ参照記号は同一または同等のものを示す。図1は、タンデム型のカラープリンタの概略の構成を示す。イエロー（Y）、マゼンタ（M）、シアン（C）、ブラック（K）の4色のイメージングユニット10y、10m、10c、10kが、転写ベルト12の用紙の移動方向（副走査方向）にそって順番に1列に並んで配置される。各イメージングユニット10y、10m、10c、10kの内部には、回転軸が主走査方向に沿って配置された感光体を中心に電子写真プロセスを行なうために必要なエレメントが配置されている。Y、M、C、Kの画像形成用の感光体がそれぞれ図中反時計回りに回転することにより、イメージングユニット10y、10m、10c、10kにおける画像形成プロセスが連続的に行なわれる。ホストから送られてきた画像データは、制御部14において、イエロー、マゼンタ、シアン、ブラックの印字用データに変換され、各イメージングユニット10y、10m、10c、10k内の露光ヘッドに送られる。各露光ヘッドは、送られてきた画像データの電気信号に応じてレーザーを発光させて、その光をポリゴンミラーにより1次元走査し、主走査方向に沿って感光体を露光する。感光体上に形成された潜像は各色トナーで現像される。感光体上のトナー像は、転写ベルト12内に上述の各感光体と対向して設置された転写チャージャ（図示しない）により、転写ベルト12に重ねて転写される。一方、用紙は、給紙カセット16からピックアップローラー18により転写部へ送られる。転写ベルト12上のトナー像は転写ローラー20により用紙に転写される。トナー像は、定着ユニット22により加熱され溶かされて用紙上に定着された後、用紙搬送路を経てトレイ24へ排出される。また、転写後に転写ベルト12上に残留したトナーは、クリーナー26により除去される。

【0007】また、イメージングユニット10y、10m、10c、10kの最下流には、3個のレジスト補正センサ28が、ベルト12の搬送方向と垂直な方向（主走査方向に）に1列に配置されている。各イメージング

ユニット10y、10m、10c、10kを用いて転写ベルト12上にレジストパターンを形成した際、このセンサによってY、M、C、Kトナー画像の主・副走査方向の色ずれ量を検出し、画像データ制御部での描画位置補正と画像歪み補正を行う。これによって、用紙上のY、M、C、Kのトナー画像の色ずれを防止している。

【0008】図2に示される制御部14において、CPU30は制御部全体の動作を制御する。CPU30にはROM32とDRAM34が接続される。また、メモリ・I/O制御部36は、メモリおよび外部との信号入出力を制御する。CPU30は、また、ホストインターフェース部38、ビデオインターフェース部40およびスキュー補正制御部42に接続される。画像データは、ホストインターフェース部38を介して、DRAM34に記憶される。スキュー補正制御部42は、ラインバッファ44を用いてスキュー補正を制御する。

【0009】次に、スキュー補正について説明する。図3は、イメージングユニット10y、10m、10c、10k内のプリントヘッドの間のスキューの1例を示す。ここで、イエロー、マゼンタ、シアンのスキュー歪みは、それぞれ、ブラック(K)のラインを基準として相対的に示される。スキュー歪みは、プリントヘッドの傾きなどによるものであり、レジスト補正センサ28により検出される。

【0010】図4は、スキュー補正制御部42による補正手順の概略を示す。第1スキュー補正部42aは、画像メモリ(DRAM34)内の画像データに対して、プリントヘッドの機械的なばらつきに対して1ライン単位で大きなスキュー補正をする。次に、第2スキュー補正部42bは、第1スキュー補正部により補正されたデータに対して、1ラインより小さい単位でスキュー補正をする。本実施形態では、印字は、副走査方向に1/3ドットの単位で制御できるものとする。そこで、第2スキュー補正部42bは、スキュー補正を1/3ラインの単位で行う場合、その分割数の整数倍である3n(nは自然数)の補正情報を用いればよい。この場合、1ライン単位での補正量をnとすることができ簡単な回路で処理を行うことができる。即ち、1/3ラインの単位の補正情報を3n+1や3n+2とすると、端数が発生するため、この端数を処理するための回路がさらに必要となるが、補正情報を3nとすると、補正できる精度が1/3に減少するが、上述した端数の処理が不要となり回路を簡略化できる。得られた画像データはプリントヘッドに送られる。このように、補正を2回に分けて行うことによって、たとえば1ライン単位の補正を画像メモリ上で行ない、1ラインより小さい単位での補正をFIFOメモリまたはプリントヘッドで行なえる。これによって、補正に必要なFIFOメモリなどの特殊なメモリの量を削減でき、低コスト化が実現できる。

【0011】たとえば、図5の上側に示すように、基準

となるブラックのラインに対して、イエロー、マゼンタまたはシアンのプリントヘッドにより形成されたラインが傾いていて、それによりスキュー歪みが生じていたとする。ここで、黒丸が1ドットを表す。図5の中央部に示すように、第1スキュー補正部42aは、1ラインの単位で補正する。次に図5の下側に示すように、第2スキュー補正部42bは、1/3ラインの単位で補正する。補正後のデータを用いて印字をすることにより、スキュー歪みは1ラインより小さい程度に軽減できる。

【0012】本実施形態では、1ライン単位のスキュー補正は、DRAM34内のビットマップメモリ領域に記憶した画像データをメモリ内で処理することによりおこなう。スキュー歪みに対してあらかじめ補正した画像データをプリントヘッドに送ることにより、スキュー歪みを打ち消すことができる。

【0013】図6は、スキュー補正における画像データを2次元空間で表したものである。図6を参照して、メモリ内での補正について説明する。図6の左上側(a)に示すように、ビットマップメモリにおいて、ホストから受け取った画像データ(補正前)50の先端部(図において上部)52と後端部(図において下部)54に白データの領域が設けられる。この白データの領域は、補正する最大の傾き量以上の大きさを持っている。

【0014】スキュー補正において、まず、補正前の画像データ50の第1ラインが、ラインバッファ44を用いて、図6の右上側(b)に示すように、上側の白領域52に転送される。このとき、転送位置は、レジスト補正センサ28により検出されたスキュー歪みに対応して斜めになる。ここで、最上部の画像データは白領域52の最上部に接する位置に転送される。第2ライン以降のデータも、第1ラインのデータに続く位置に、図6の右下側(c)に示すように同様に順次転送されていく。図6の右下側(d)が、転送完了後の画像データを示す。白領域54のデータも同様に転送されるので、画像データの下側で画像データがなくなった部分には自動的に白データが記憶される。こうして、画像の下側の白領域が上側に拡大され、ビットマップメモリの画像データがない部分のデータをデータ転送時やデータ転送後に除く処理が不要となる。

【0015】図7は、図6に示したようにメモリ34内でスキュー補正をするときのアドレス生成回路を示す。アドレス生成回路は、スキュー補正制御部42内にある。アドレス生成回路において、アドレスカウンタ60は、スタートアドレスレジスタ62に格納されたスタートアドレスを初期値として画像クロックにより計数をおこなう。読み出し時には、画像クロック信号が入力されると、アドレスカウンタ60は計数値を1つ増加し、読出アドレスとして出力する。また、書き込み時には、アドレスカウンタ60の計数値とオフセットレジスタ64に格納されているオフセット値とが第1加算器66によ

り加算され、第2加算器68に出力される。一方、画素クロック信号が入力されると、スキューカウンタ70は、ライン同期信号によりスキュー補正值レジスタ72に格納されているスキュー補正值が入力され、それを初期値として計数をおこなう。乗算器74は、スキューカウンタ70の計数値と主走査レジスタ76の値との積を演算し、スキューによる補正值として第2加算器68に出力する。第2加算器68は2つの入力値を加算して書込アドレスとして出力する。

【0016】別の実施形態では、ライン単位のスキュー補正において、ビットマップメモリ上の画像データを高速に出力しながら補正する。図8を参照して説明すると、左上側(a)に示すように、ホストから受け取った画像データについて、2次元空間において、画像データの上部と下部に白データ領域が設けられる。この白データの領域は、補正する最大の傾き量以上の大きさを持っている。(これは、図6に示した第1実施形態の場合と同様である。)スキュー補正において、アドレス生成回路(図13参照)は、スキュー歪みの補正情報に対応して、その位置を斜めの線で示す読み出しアドレスを生成する。すなわち、2次元空間において(a)に示すように格納された画像データを、スキュー歪みを打ち消すように斜めに読み出す。まず、図8の右上側(b)に示すように、画像データの第1ラインが、斜めの線で示す読み出し位置でビデオデータとして読み出される。第1ラインでは、最後の1/4のデータのみが画像データである。第2ライン以降のデータも、第1ラインに続く位置に、図8の左下側(c)に示すように同様に転送される。図8の右下側(d)が、画像データの最後のラインの最後の読み出しを示す。この最終ラインでは、最初の1/4のデータのみが画像データである。

【0017】次にバーストアクセスモードについて説明する。従来は、たとえば図9のアクセスのタイミングチャートに示すように、画像データは、1ワードごとに、設定されたアドレスから読み出される。ここでは、4ワードのアクセスが示される。これに対し、本実施形態では、バーストアクセスにより画像データを読み出す。バーストアクセスにおいては、先頭アドレスが指定されると、複数ワード分(ここでは4ワード)をまとめてアクセスする。図10は、バーストアクセスのタイミングを示す。ライン単位の補正において、画像データをバーストアクセスで複数ワード分ずつ読み出す。このため、1回のバーストアクセスを単位に、ビットマップメモリから読み出すアドレスを生成して、4つのデータを連続的に読み出す。すなわち、アドレスが出力されると、そのアドレスを含む4アドレスのデータが連続的にアクセスされる。画像データの読み出しをバーストアクセスでおこなうので、図9と比較してわかるように、アクセス時間が短縮でき、補正処理を高速化できる。

【0018】次に、図11を参照して、1ライン単位の

補正回路42aを説明する。バーストアクセスによるアドレス生成回路(図13参照)80から1ライン分のアドレスが画像メモリ34に順次出力される。画像メモリ34の出力データは、直接にセクタ84に送られるとともに、また、ラインバッファ44を介してセクタ84に送られる。セクタ84は、セレクト信号生成回路(図14参照)86からのセレクト信号に応じて2ライン分のデータから1ライン分の画像データを画素単位で合成して出力する。

【0019】図12により、1ライン単位の補正回路42aにおけるバーストアクセスを用いたスキュー補正を説明する。スキュー補正のため、補正前のデータが2次元空間においてワード単位で読み出される。ここで、プリントヘッドの傾きによるスキュー補正の単位(以下補正単位という)は、必ずしも1回のバーストアクセスで読み出す単位(以下アクセス単位という)の整数倍でない。図12の上段には、補正前のデータについて、n番目、(n+1)番目、(n+2)番目のバーストアクセスによる読出データが重複することが示される。したがって、データをアクセス単位で読み出すと、斜線部に示す不要なデータも読み出される。これにより、それに重複する必要なデータが読み出せないことになる。そこで、図11の中段に示すように、1ライン分のラインバッファ(FIFOメモリ)44を用いて補正をおこなう。図に示す例では、3つの補正単位のデータについて、すでに白で示した部分が、矢印で示すように、ラインバッファ44に格納されている。ここで、ハッチング部分は、バーストアクセスにより読み出されたが補正単位に含まれないため、ラインバッファ44に格納されていない部分を表す。次に、新たに画像データを読み出したときに、矢印で示すように、前回読み出せなかったデータ(白で示した部分)をそのラインの対応する位置に合成し、同時にラインバッファ44にも記憶する。こうして、図12の下段に示すように、2ライン分のデータから画素単位で1ライン分のデータを合成する。

【0020】図13は、バーストアクセスによるアドレス生成回路80のブロック図である。画像クロックは、ドットカウンタ800と分周器802に入力される。分周器802はバーストアクセスする単位(アクセス単位)に画像クロックを分周して、アドレスカウンタ804に送る。アドレスカウンタ804は、スタートアドレスレジスタ806から入力されるスタートアドレスを初期値として、アクセス単位でインクリメントされ、アドレスを加算器808に出力する。一方、ドットカウンタ800は、スキュー補正值カウンタ810に格納されている補正する画素の単位に達するごとにカウンタパルスをラインカウンタ812に出力する。ラインカウンタ812の出力値と、ラインサイズレジスタ814からのラインサイズは乗算器816で乗算され、加算器818に出力される。これにより、乗算器816は何ライン補正

するかを演算する。ドットカウンタ800とラインカウンタ812はライン同期信号によりリセットされる。加算器818は、2つの入力値を加算して、読出アドレスを出力する。

【0021】図14は、セレクト信号生成回路86のブロック図であり、図15は、そのタイミングチャートである。ワードカウンタ860とスキューカウンタ862は、画素クロックを計数する繰り返しカウンタである。ワードカウンタ860は、ワードレジスタ864に格納されているバーストアクセスの単位（アクセス単位）に達するごとにリセットされ、また、スキューカウンタ862は、スキューレジスタ866に格納されている補正する画素単位に達するごとにリセットされる。スキューレジスタ866は、スキューカウンタ862の出力信号またはライン同期信号によりその格納値を出力して、スキューカウンタ862をリセットし、ワードレジスタ864は、ワードカウンタ860の出力信号またはライン同期信号によりその格納値を出力して、ワードカウンタ860をリセットする。フリップフロップ868は、スキューカウンタ862の出力信号によりリセットされ、ワードカウンタ864からの出力信号によりセットされてセレクト信号を出力する。このセレクト信号がセットされると、ラインバッファ44からのデータが選択され、リセットされると、画像メモリ34からのデータが選択される。

【0022】以上に説明したように、ビットマップメモリにおいて画像データの先端部と後端部に白データの領域を設け（図8の左上側（a）参照）、ラインバッファ44を用いて、画像データをライン単位の補正を行ないながら出力する。こうして、少なくとも1ライン分のラインバッファ44を用いて1ラインの単位で補正を行える。これによって、スキュー補正に必要なFIFOメモリなどの特殊なメモリの量を削減でき、低コスト化が実現できる。

【0023】画像が滑らかに印刷されるようにするため、1画素よりも細かい単位で補正することが要求される。次に、第2スキュー補正部42bによる1ラインより小さい単位（本実施形態では1/3ライン単位）での補正を説明する。図4に示したように、1ラインより小さい単位での補正は、第1スキュー補正部42aにより1ラインの単位で補正された画像データに対して行なわれる。1ラインより小さい単位での補正において、図5に示したように、副走査方向において、印字が1/3ラインの単位で制御される。

【0024】図16は、1/3ライン単位の補正回路42bとプリントヘッド46を示す。1ラインの単位ですでに補正がされているビデオデータが、ラインバッファ90を経て遅延される。ビデオデータまたは1ライン遅延されたビデオデータとが、ビデオ0信号、ビデオ1信号およびビデオ2信号としてプリントヘッド46（図1

9参照）に出力される。ビデオ0信号、ビデオ1信号およびビデオ2信号は、1/3ラインの単位で順次印字される印字データである。ビデオ0信号は、ラインバッファ90を経て遅延されたビデオデータである。一方、ビデオデータとラインバッファの出力データとは、それぞれ、第1セクタ92と第2セクタ94に出力される。第1セクタ92と第2セクタ94とは、それぞれ、セレクト信号生成回路96（図17参照）からのセレクト1信号とセレクト2信号に応じてスキューを考慮して選択したビデオデータをビデオ1信号とビデオ2信号としてプリントヘッド46に出力する。

【0025】図17は、セレクト信号生成回路96の構成を示し、図18は、セレクト信号生成回路96のタイミングチャートを示す。セレクト信号生成回路96において、サブドットカウンタ960とスキューカウンタ962は、画素クロックを計数する。サブドットカウンタ960は、サブドットレジスタ964に格納されている数値に達するごとにリセットされ、また、スキューカウンタ962は、スキューレジスタ966に格納されている数値に達するごとにリセットされる。スキューレジスタ966は、スキューカウンタ962の出力信号またはライン同期信号によりその格納値を出力し、サブドットレジスタ964は、サブドットカウンタ960の出力信号またはライン同期信号によりその格納値を出力する。シフトレジスタ968は、スキューカウンタ962の出力信号によりリセットされ、サブドットカウンタ960からの出力信号により、Hレベルの入力信号をシフトして、セレクト1信号とセレクト2信号を出力する。

【0026】図18に示されるように、サブドットカウンタ960とスキューカウンタ962は、ライン同期信号によりリセットされて計数を開始し、それぞれ、シフトクロック信号とクリア信号を出力する。これに対応して、シフトレジスタ968は、セレクト1信号とセレクト2信号を出力する。これにより、第1セクタ92は、セレクト1信号を受け取ると、ビデオ1信号をプリントヘッド46に出力し、第2セクタ94は、セレクト2信号を受け取ると、ビデオ2信号をプリントヘッド46に出力する。

【0027】図19は、プリントヘッド46の構成を示す。図20のプリントヘッド46のタイミングチャートにおいて、下側（b）のチャートは、上側（a）のチャートの破線部を拡大したものである。プリントヘッド98は、主走査方向に1列に配置されたLEDアレイ100を備える。第2スキュー補正部42b（図16）からのビデオ0信号、ビデオ1信号、ビデオ2信号は、それぞれ、3つのシフトレジスタ102に入力され、画素クロックをシフトクロックとしてライン方向にシフトされる。この3ラインのシフトレジスタ102の各セルの画像データ（ビデオ0信号、ビデオ1信号、ビデオ2信号）は、それぞれ、ライン同期信号により、3段のシフ

トレジスタ104にラッチされる。3段のシフトレジスタ104のビデオ0信号、ビデオ1信号、ビデオ2信号は、1/3ライン同期信号により、シフトレジスタ102のシフト方向とは直交する方向に、3段のタイミングでシフトして、LEDアレイ100の各LEDに出力される。

【0028】

【発明の効果】タンデム型プリンタのプリントヘッドの間で発生するスキュー補正において、ビットマップ上の画像データをライン単位で補正しながら、高速に画像データを出力できる。

【図面の簡単な説明】

【図1】 カラープリンタの全体構成の断面図

【図2】 画像データ制御部のブロック図

【図3】 スキュー補正の概念を説明するための図

【図4】 スキュー補正の手順を示す図

【図5】 スキュー補正の例を示す図

【図6】 画像メモリ内でのスキュー補正を説明するための図

【図7】 アドレス生成回路のブロック図

【図8】 読み出しの際のスキュー補正を説明するための図

【図9】 従来のアクセスのタイミングチャート

【図10】 バーストアクセスのタイミングチャート

【図11】 1ライン単位の補正回路図

【図12】 バーストアクセスによる補正のタイミングチャート

【図13】 アドレス生成回路のブロック図

【図14】 セレクト信号生成回路のブロック図

【図15】 セレクト信号生成回路のタイミングチャート

【図16】 1/3ライン単位の補正回路図

【図17】 セレクト信号生成回路のブロック図

【図18】 セレクト信号生成回路のタイミングチャート

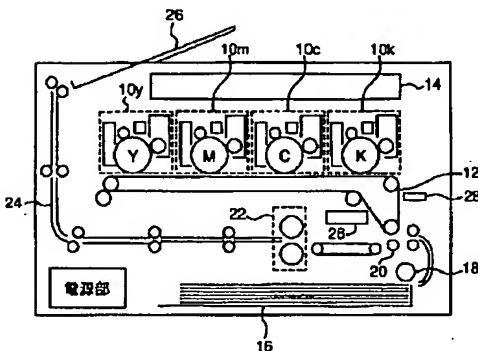
【図19】 プリントヘッド部の構成を示す図

【図20】 プリントヘッド部のタイミングチャート

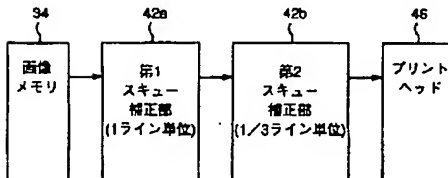
【符号の説明】

34 画像メモリ、 42 スキュー補正部、 4
4 ラインバッファ、 46 プリントヘッド、 80
アドレス生成回路、 82 ラインバッファ、
84 セレクト、 86 セレクト信号生成回路
96 セレクト信号生成回路。

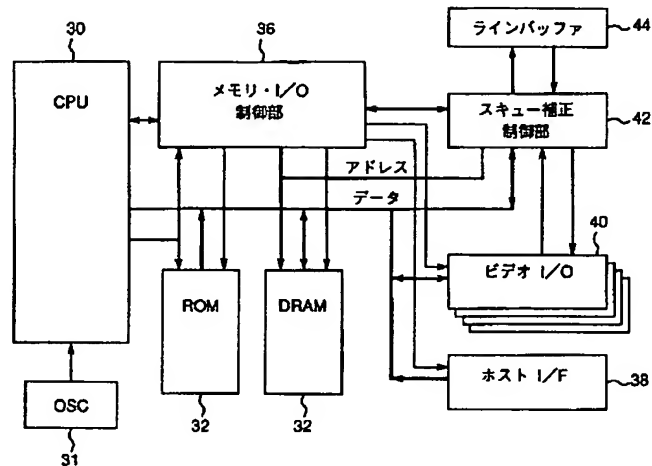
【図1】



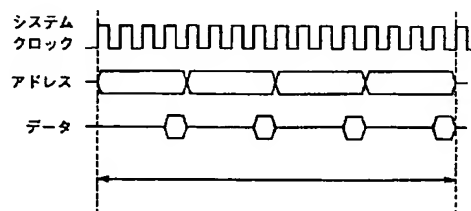
【図4】



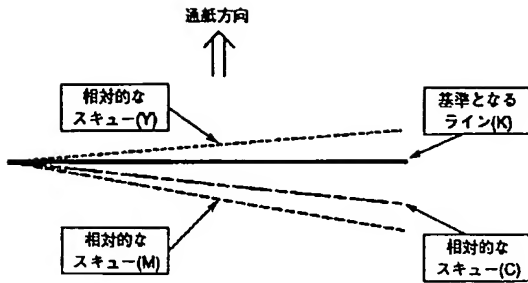
【図2】



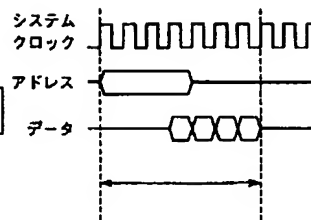
【図9】



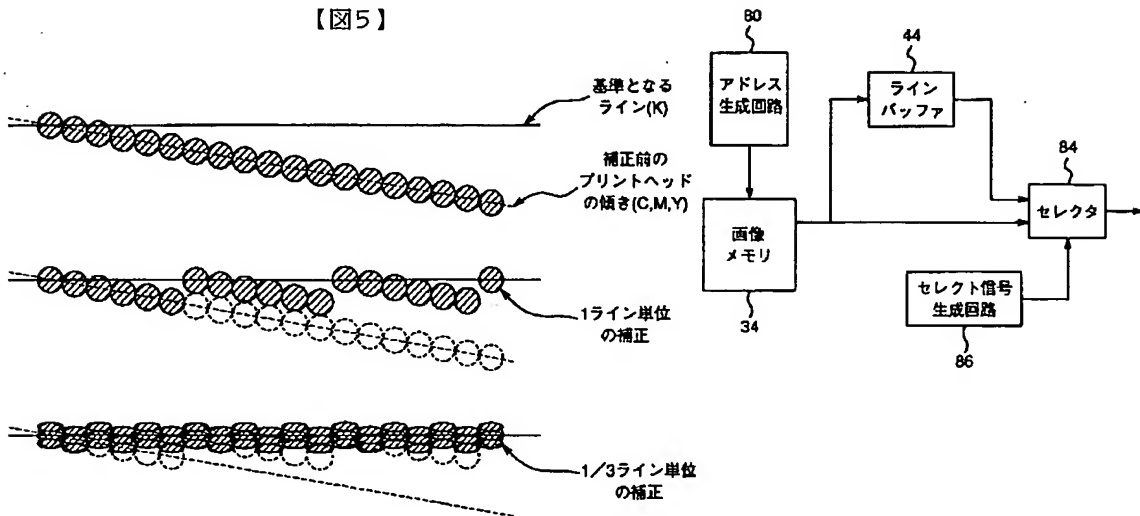
【図3】



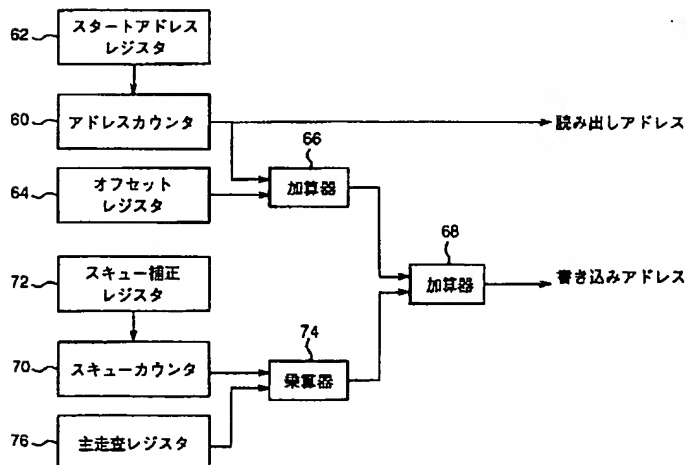
【図10】



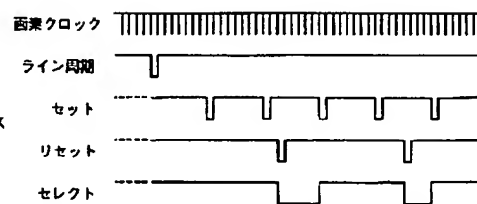
【図11】



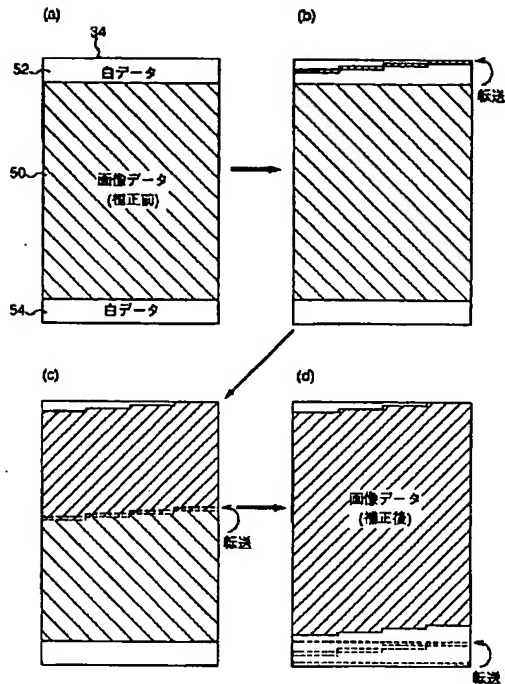
【図7】



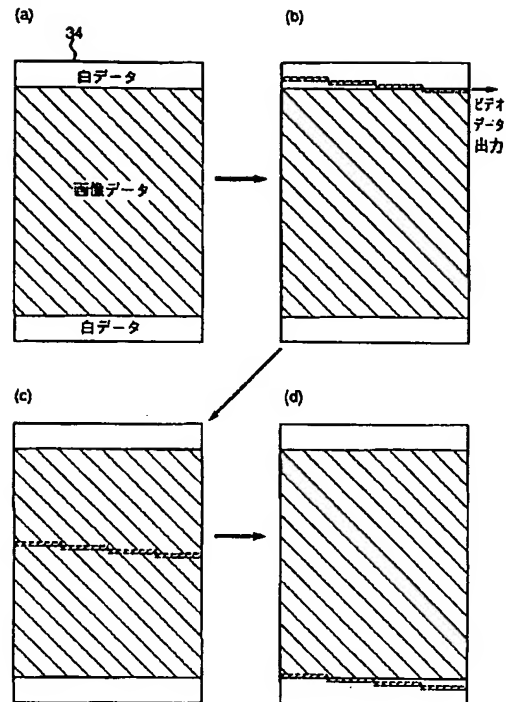
【図15】



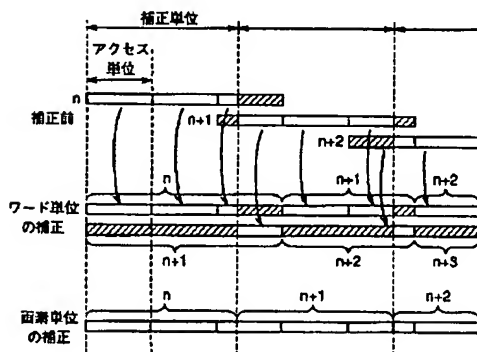
【図6】



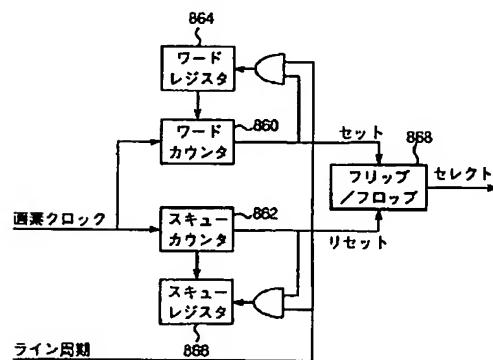
【図8】



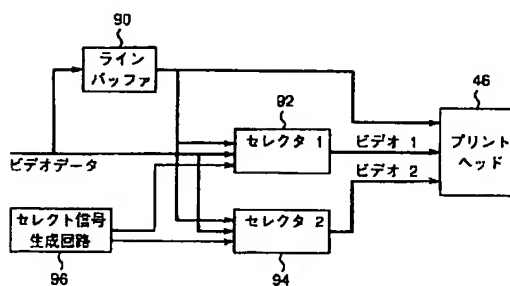
【図12】



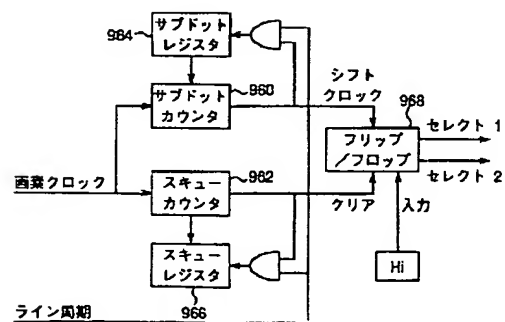
【図14】



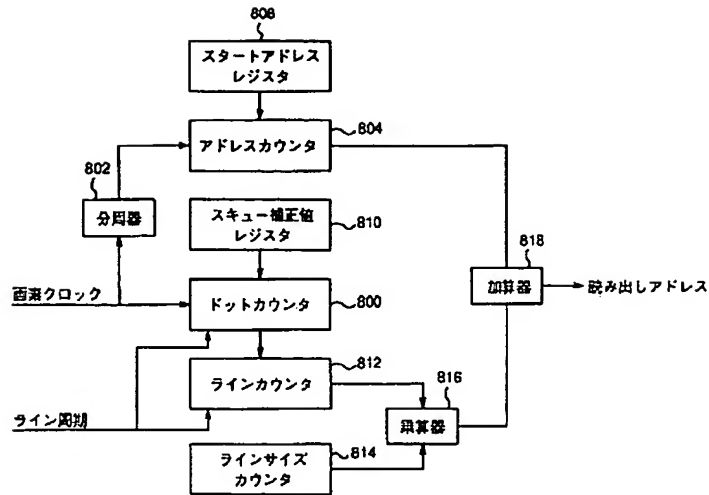
【図16】



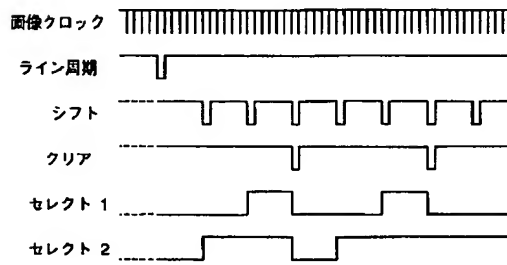
【図17】



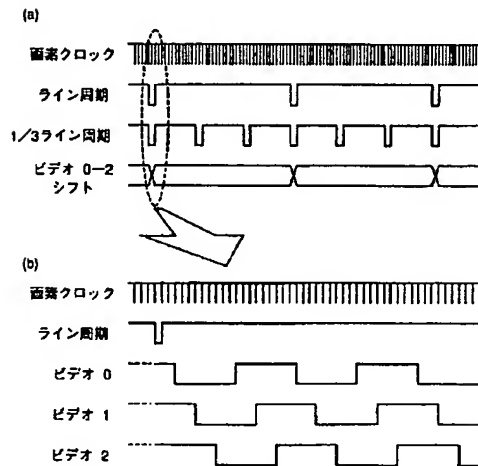
【図13】



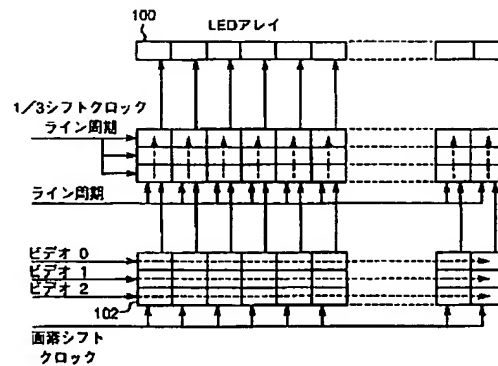
【図18】



【図20】



【図19】



フロントページの続き

(51)Int. Cl.⁷

識別記号

F I

キーワード(参考)

H 0 4 N 1/29

Fターム(参考) 2C162 AE12 AE21 AE28 AE47 AF13
AF62 FA04 FA17
2C262 AA05 AA06 AA16 AA17 AA24
AB15 FA06 GA11 GA13 GA36
GA38 GA40
2C362 AA10 BA04 BA50 BA52 CA18
CA22 CA39 CB78
5C072 AA03 BA03 BA17 BA19 QA14
QA17 UA11 UA18 XA01
5C074 AA02 AA08 BB03 BB17 BB26
CC26 DD15 DD24 DD28 EE04
FF15 GG09 GG13